

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-290012

(43) 公開日 平成10年(1998)10月27日

(51) Int.Cl.⁶
 H 0 1 L 29/786
 G 0 2 F 1/136
 H 0 1 L 21/336

識別記号
 5 0 0

F I
 H 0 1 L 29/78 6 1 7 N
 G 0 2 F 1/136 5 0 0
 H 0 1 L 29/78 6 1 2 Z
 6 2 7 C

審査請求 有 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願平9-96110

(22) 出願日 平成9年(1997)4月14日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 桜井 洋

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 田中 宏明

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 高橋 詔男 (外5名)

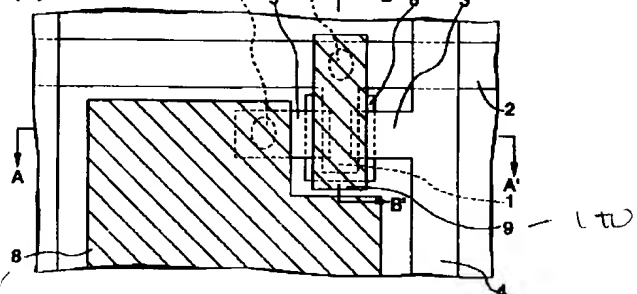
(54) 【発明の名称】 アクティブマトリクス型液晶表示装置およびその製造方法

(57) 【要約】

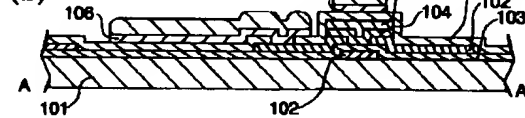
【課題】 フォトリソグラフィー工程の数を増加させることなく、薄膜トランジスタの構造を改善することにより歩留まりおよび性能の向上を図る。

【解決手段】 絶縁基板101上への金属膜102の成膜、パターニングによりボトムゲート電極1とゲートバスライン2を形成する工程と、絶縁膜成膜工程と、金属膜102'の成膜、パターニングによりドレイン電極3とドレインバスライン4とソース電極5を形成する工程と、半導体膜104、絶縁膜105の成膜、パターニングによりアイランド6を形成する工程と、絶縁膜成膜工程と、絶縁膜のパターニングによりボトムゲート電極-トップゲート電極導通用コンタクトホール7とソース電極-画素電極導通用コンタクトホール7を形成する工程と、透明導電膜106の成膜、パターニングによりトップゲート電極9と画素電極8を形成する工程、を有する。

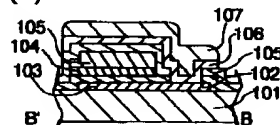
(a)



(b)



(c)



【特許請求の範囲】

【請求項1】 デュアルゲート構造の薄膜トランジスタをスイッチング素子としたアクティブマトリクス型液晶表示装置であって、

絶縁基板上に形成されたボトムゲート電極および該ボトムゲート電極に接続されたゲートバスラインと、これらボトムゲート電極、ゲートバスラインを覆う第1の絶縁膜と、

該第1の絶縁膜上に形成されたドレイン電極および該ドレイン電極に接続されたドレインバスラインおよびソー

ス電極と、前記ドレイン電極およびソース電極の少なくとも一部と重なるように下層側から半導体膜と第2の絶縁膜で形成されたアイランドと、

該アイランドを覆う第3の絶縁膜と、

該第3の絶縁膜上に形成された透明導電膜からなるトップゲート電極および画素電極、を有してなり、

前記ボトムゲート電極と前記トップゲート電極がコンタクトホールを介して電気的に接続されるとともに、前記ソース電極と前記画素電極がコンタクトホールを介して電気的に接続されたことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 デュアルゲート構造の薄膜トランジスタをスイッチング素子としたアクティブマトリクス型液晶表示装置の製造方法であって、

絶縁基板上に導電膜を成膜した後、該導電膜をパターニングすることにより、ボトムゲート電極および該ボトムゲート電極に接続されたゲートバスラインを形成する工程と、

これらボトムゲート電極、ゲートバスラインを覆う第1の絶縁膜を成膜する工程と、

該第1の絶縁膜上に導電膜を成膜した後、該導電膜をパターニングすることにより、ドレイン電極および該ドレイン電極に接続されたドレインバスラインおよびソース電極を形成する工程と、

前記ドレイン電極およびソース電極上に半導体膜、第2の絶縁膜を順次成膜した後、これら半導体膜、第2の絶縁膜をパターニングすることにより、前記ドレイン電極およびソース電極の少なくとも一部と重なるアイランドを形成する工程と、

該アイランドを覆う第3の絶縁膜を成膜する工程と、該第3の絶縁膜およびその下の絶縁膜をパターニングすることにより、ボトムゲート電極・トップゲート電極導通用コンタクトホールおよびソース電極・画素電極導通用コンタクトホールを同時に形成する工程と、

前記第3の絶縁膜上に透明導電膜を成膜した後、該透明導電膜をパターニングすることにより、前記ボトムゲート電極と電気的に接続されたトップゲート電極および前記ソース電極と電気的に接続された画素電極を形成する工程、

を有することを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項3】 請求項2に記載のアクティブマトリクス型液晶表示装置の製造方法において、

前記半導体膜、第2の絶縁膜の成膜を行う際に、ホスフィンプラズマ処理およびプラズマCVD法を用いることを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型液晶表示装置およびその製造方法に関し、特に、デュアルゲート構造の薄膜トランジスタをスイッチング素子として用いたアクティブマトリクス型液晶表示装置およびその製造方法に関するものである。

【0002】

【従来の技術】デュアルゲート構造の薄膜トランジスタはトランジスタ特性の向上を目的としたものであり、既にいくつかのものが提案されている。例えば、図6～図12は特開平2-304532号公報に開示されたデュアルゲート構造の薄膜トランジスタをスイッチング素子としたアクティブマトリクス型液晶表示装置（以下、第1の従来例という）であり、これを製造工程順に示したものである。なお、各図において、(a)は平面図、(b)は(a)におけるA-A'線に沿う断面図、(c)は(a)におけるB-B'線に沿う断面図、である。

【0003】図6は第1の工程を示すものであり、ガラス等からなる透明絶縁基板101上に、スパッタリングによって成膜したインジウム-スズ酸化膜（以下、ITOと記す）等の透明導電膜106を、フォトレジスト107を用いたフォトリソグラフィ工程とITOウェットエッチによって、画素電極8の形状にパターニングする。

【0004】図7は第2の工程を示すものであり、第1の工程が終了した基板上に、スパッタリングにより成膜したクロム（以下、Crと記す）等の金属膜102を、フォトレジスト107を用いたフォトリソグラフィ工程とCrウェットエッチによって、ボトムゲート電極1とこれに接続されたゲートバスライン2およびコンタクト部10の形状にパターニングする。

【0005】図8は第3の工程を示すものであり、第2の工程が終了した基板上に、プラズマCVD（Chemical Vapor Deposition）法により成膜した窒化シリコン（以下、SiNと記す）等の絶縁膜103、非結晶シリコン（以下、a-Siと記す）等の半導体膜104、n型非結晶シリコン（以下、n⁺a-Siと記す）等のn型半導体膜104'を、フォトレジスト107を用いたフォトリソグラフィ工程とn⁺a-Si/a-Siドライエッチによって、アイランド6の形状にパターニン

グする。

【0006】図9は第4の工程を示すものであり、第3の工程が終了した基板上に、フォトリソグロフィー工程とSiNドライエッチによって、コンタクトホール7を形成する。

【0007】図10は第5の工程を示すものであり、第4の工程が終了した基板上に、スパッタリングにより成膜したCr等の金属膜102'を、フォトリソグロフィー工程とCrウェットエッチによって、ドレイン電極3とこれに接続されたドレインバスライン4およびソース電極5の形状にパターニングする。

【0008】図11は第6の工程を示すものであり、第5の工程が終了した基板のドレイン電極3とソース電極5間の $n^+ a-Si$ を $n^+ a-Si$ ドライエッチにより除去（以下、チャネルエッチという）し、プラズマCVDによりSiN等の絶縁膜105を成膜した後、フォトリソグロフィー工程とSiNドライエッチによって、コンタクトホール7'を形成する。

【0009】図12は第7の工程を示すものであり、第6の工程が終了した基板上に、スパッタリングにより成膜したCr等の金属膜102''を、フォトリソグロフィー工程とCrウェットエッチによって、トップゲート電極9の形状にパターニングする。

【0010】以上をまとめると、第1の従来例の薄膜トランジスタを製造するには、①画素電極8のパターニング工程、②ボトムゲート電極1、ゲートバスライン2、コンタクト部10のパターニング工程、③アイランド6のパターニング工程、④コンタクトホール7の形成工程、⑤ドレイン電極3、ドレインバスライン4、ソース電極5のパターニング工程、⑥コンタクトホール7'の形成工程、⑦トップゲート電極9のパターニング工程、の7回ものフォトリソグロフィー工程が必要となる。このように、フォトリソグロフィー工程の回数が多いと、単にフォトマスク等の間接部材の使用量、露光装置等の装置使用工数によるコストアップだけでなく、歩留まりの低下なども起こり、製造コストが大幅にアップするという問題点が生じる。

【0011】また、構造に起因する問題点として、ゲートバスライン2と画素電極8が絶縁膜を介さずに形成されているため、ゲートバスライン2と画素電極8をオーバーラップさせることができず、高開口率化に制限を与えてしまう。

【0012】そこで、第1の従来例の欠点を補う方法として、特開平5-53147号公報には、より少ないフォトリソグロフィー工程数で、かつ画素電極とゲートバスラインおよびドレインバスラインを絶縁膜によって層分離し、デュアルゲート構造の薄膜トランジスタを作製

する製造方法（以下、第2の従来例という）が開示されている。

【0013】図13～図17は、第2の従来例のアクティブマトリクス型液晶表示装置を製造工程順に示すものである。なお、各図において、(a)は平面図、(b)は(a)におけるA-A'線に沿う断面図、(c)は(a)におけるB-B'線に沿う断面図、である。

【0014】図13は第1の工程を示すものであり、ガラス等からなる透明絶縁基板101上に、スパッタリングによって成膜したCr等の金属膜102を、フォトリソグロフィー工程とCrウェットエッチによって、ボトムゲート電極1とこれに接続されたゲートバスライン2の形状にパターニングする。

【0015】図14は第2の工程を示すものであり、第1の工程が終了した基板上に、プラズマCVD法により成膜したSiN等の絶縁膜103、 $a-Si$ 等の半導体膜104、 $n^+ a-Si$ 等のn型半導体膜104'を、フォトリソグロフィー工程と $n^+ a-Si/a-Si$ ドライエッチによって、アイランド6の形状にパターニングする。

【0016】図15は第3の工程を示すものであり、第2の工程が終了した基板上に、スパッタリングにより成膜したCr等の金属膜102'を、フォトリソグロフィー工程とCrウェットエッチによって、ドレイン電極3、これに接続されたドレインバスライン4およびソース電極5の形状にパターニングする。

【0017】図16は第4の工程を示すものであり、第3の工程が終了した基板に、チャネルエッチを施し、プラズマCVDによりSiN等の絶縁膜105を成膜した後、フォトリソグロフィー工程とSiNドライエッチによって、コンタクトホール7および画素電極形成予定地の開口部を形成する。

【0018】図17は第5の工程を示すものであり、第4の工程が終了した基板上に、スパッタリングにより成膜したITO等の透明導電膜106を、フォトリソグロフィー工程とITOウェットエッチによって、画素電極8およびトップゲート電極9の形状にパターニングする。

【0019】

【発明が解決しようとする課題】しかしながら、上記従来例にはそれぞれ次のような問題点があった。第1の問題点は、第1の従来例（特開平2-304532号公報）の場合、コストが高くなる。その理由は、第1の従来例の薄膜トランジスタを製造するには、①画素電極のパターニング工程、②ボトムゲート電極、ゲートバスライン、コンタクト部のパターニング工程、③アイランドのパターニング工程、④コンタクトホールの形成工程、⑤ドレイン電極、ドレインバスライン、ソース電極のパ

ターニング工程、⑥コンタクトホール形成工程、⑦トップゲート電極のパターニング工程、の7回のフォトリソグラフィ工程が必要となるからである。そして、このようにフォトリソグラフィ工程の回数が多いと、単にフォトマスク等の間接部材の使用量、露光装置等の装置使用工数によるコストアップだけでなく、歩留まりの低下なども起こり、製造コストが大幅にアップするためである。

【0020】第2の問題点は、第1の従来例の場合、液晶表示装置としての高開口率化に制限を受けることである。その理由は、ゲートバスラインと画素電極が絶縁膜を介さずに形成されているため、ゲートバスラインと画素電極をオーバーラップさせる構造にできないからである。

【0021】第3の問題点は、第2の従来例の場合、トップゲート電極の段切れが起きやすいということである。その理由は、第2の従来例は逆スタガー構造であり、チャネルエッチのバラツキマージンのため、アイランドとなる半導体膜を数千Åまで厚くする必要がある。そのため、アイランドの段差によってトップゲート電極が大きな段差を持つ構造となるため、トップゲート電極の段切れが起こりやすくなる。なお、ITOはウェットエッチによる加工性が悪く、1000Å以上の膜厚にすることは困難である。

【0022】第4の問題点は、第2の従来例の場合、トランジスタ性能が光の影響を受けやすいということである。その理由は、第2の従来例はトップゲート電極に透明導電膜を使用しているため、トランジスタの上方が遮光されない構造となっている。そのため、トランジスタ上方からの光により、トランジスタオフ時のリーク電流が大きくなってしまふからである。

【0023】第5の問題点は、第2の従来例の場合、ドレインバスラインの断線が発生しやすいということである。その理由は、第2の従来例ではドレインバスラインの形成工程がアイランド形成工程の後、すなわち、パーティクル発生量の多いプラズマCVD工程の後だからである。そのため、プラズマCVD工程中に付着したパーティクルによって特にドレインバスラインの断線が発生しやすくなる。

【0024】本発明は、上記の課題を解決するためになされたものであって、デュアルゲート構造の薄膜トランジスタをスイッチング素子としたアクティブマトリクス型液晶表示装置およびその製造方法において、フォトリソグラフィ工程の数を増加させることなく、薄膜トランジスタの構造を改善することにより歩留まりおよび性能の向上を図ることを目的とする。

【0025】

【課題を解決するための手段】上記の目的を達成するために、本発明のアクティブマトリクス型液晶表示装置は、絶縁基板上に形成されたボトムゲート電極およびこ

れに接続されたゲートバスラインと、これらボトムゲート電極、ゲートバスラインを覆う第1の絶縁膜と、第1の絶縁膜上に形成されたドレイン電極およびこれに接続されたドレインバスラインおよびソース電極と、ドレイン電極およびソース電極の少なくとも一部と重なるように下層側から半導体膜と第2の絶縁膜で形成されたアイランドと、アイランドを覆う第3の絶縁膜と、第3の絶縁膜上に形成された透明導電膜からなるトップゲート電極および画素電極、を有してなり、ボトムゲート電極とトップゲート電極がコンタクトホールを介して電気的に接続されるとともに、ソース電極と画素電極がコンタクトホールを介して電気的に接続されたことを特徴とするものである。

【0026】また、本発明のアクティブマトリクス型液晶表示装置の製造方法は、絶縁基板上に導電膜を成膜した後、この導電膜をパターニングすることにより、ボトムゲート電極およびこれに接続されたゲートバスラインを形成する工程と、これらボトムゲート電極、ゲートバスラインを覆う第1の絶縁膜を成膜する工程と、第1の絶縁膜上に導電膜を成膜した後、この導電膜をパターニングすることにより、ドレイン電極およびこれに接続されたドレインバスラインおよびソース電極を形成する工程と、ドレイン電極およびソース電極上に半導体膜、第2の絶縁膜を順次成膜した後、これら半導体膜、第2の絶縁膜をパターニングすることにより、ドレイン電極およびソース電極の少なくとも一部と重なるアイランドを形成する工程と、アイランドを覆う第3の絶縁膜を成膜する工程と、第3の絶縁膜およびその下の絶縁膜をパターニングすることにより、ボトムゲート電極-トップゲート電極導通用コンタクトホールおよびソース電極-画素電極導通用コンタクトホールを同時に形成する工程と、第3の絶縁膜上に透明導電膜を成膜した後、この透明導電膜をパターニングすることにより、ボトムゲート電極と電気的に接続されたトップゲート電極およびソース電極と電気的に接続された画素電極を形成する工程、を有することを特徴とするものである。そして、上記の製造方法において、前記半導体膜、第2の絶縁膜の成膜を行う際に、ホスフィンプラズマ処理およびプラズマCVD法を用いることができる。

【0027】高開口率かつ製造プロセス短縮を実現するためには、液晶表示装置の基本構造として、画素電極を最上層に形成することが有効である。さらに、トランジスタのオン電流の増大、オフ電流の低減のためには、デュアルゲート構造にすることが有効である。よって、トップゲート電極に画素電極と同じ薄いITO等の透明導電膜を用いていかに歩留まり良く薄膜トランジスタを形成し、特性を確保するかということが技術のポイントとなる。そこで、以下に、本発明の構成でいかにしてこの目的が達成できるかについて述べる。

【0028】本発明における薄膜トランジスタは基本的

に順スタガー構造であるため、アイランドとなる半導体膜の膜厚を数百Åまで薄くすることができる。このため、アイランドの段差に起因するトップゲートの断線を防止し、歩留まりを向上することができる。

【0029】ところで、通常、半導体膜に光が照射された場合、ホールと電子が発生し、トランジスタオフ時のリーク電流の原因となる。しかしながら、半導体膜の膜厚が薄くなった場合、フロントチャネルとバックチャネルの距離が近づき、光により発生するホールおよび電子が、バックチャネル部の欠陥と再結合するため、消滅する。そのため、光によるトランジスタオフ時のリーク電流の増大が防止でき、トランジスタ上に遮光膜がなくても正常なトランジスタ特性を保つことが可能となる。さらに、デュアルゲート構造であるため、半導体膜全体を反転させることによるリーク電流の低減も期待できる。

【0030】また、本発明の製造方法では、ゲートバスラインおよびドレインバスラインをパーティクル発生量の多いプラズマCVD工程の前に形成している。そのため、プラズマCVD工程でのパーティクル起因のバスライン断線がなくなり、バスライン断線率が大幅に低減する。その結果、歩留まりが向上するという効果も得られる。

【0031】

【発明の実施の形態】以下、本発明の一実施の形態を図1～図5を参照して説明する。図1～図5は、本実施の形態であるデュアルゲート構造の薄膜トランジスタをスイッチング素子としたアクティブマトリクス基板回路（アクティブマトリクス型液晶表示装置）の一部を製造工程順に示すものである。なお、各図において、(a)は平面図、(b)は(a)におけるA-A'線に沿う断面図、(c)は(a)におけるB-B'線に沿う断面図、である。

【0032】図1は第1の工程を示すものであり、ガラス基板等からなる透明絶縁基板101上に、スパッタリングによってCr等からなる膜厚1500Åの金属膜102（導電膜）を成膜した後、フォトリソグロフィー工程とCrウェットエッチを用いたパターンニングし、ボトムゲート電極1とこれに接続されたゲートバスライン2を形成する。

【0033】図2は第2の工程を示すものであり、第1の工程が終了した基板上に、常圧CVD法により酸化シリコン等からなる膜厚3000Åの絶縁膜103（第1の絶縁膜）を成膜した後、スパッタリングによりCr等からなる膜厚1500Åの金属膜102'（導電膜）を形成し、フォトリソグロフィー工程とCrウェットエッチによりパターンニングし、ドレイン電極3とこれに接続されたドレインバスライン4およびソース電極5を形成する。

【0034】図3は第3の工程を示すものであり、第2の工程が終了した基板上に、ホスフィン（PH₃）プラ

ズマ処理およびプラズマCVD法によりa-Si等からなる膜厚500Åの半導体膜104、SiN等からなる膜厚500Åの絶縁膜105（第2の絶縁膜）を成膜し、フォトリソグロフィー工程とSiN/a-Siドライエッチによりパターンニングし、アイランド6を形成する。

【0035】図4は第4の工程を示すものであり、第3の工程が終了した基板上に、プラズマCVD法によりSiN等からなる膜厚2500Åの絶縁膜105'（第3の絶縁膜）を成膜した後、フォトリソグロフィー工程とSiNドライエッチによってパターンニングし、ボトムゲート電極1と次工程で形成するトップゲート電極、ソース電極5と次工程で形成する画素電極をそれぞれ導通させるためのコンタクトホール7、7を形成する。

【0036】図5は第5の工程を示すものであり、第4の工程が終了した基板上に、スパッタリングによりITO等の膜厚500Åの透明導電膜106を成膜した後、フォトリソグロフィー工程とITOウェットエッチによってパターンニングし、コンタクトホール7を介してソース電極5と電気的に接続された画素電極8、およびコンタクトホール7を介してボトムゲート電極1と電気的に接続されたトップゲート電極9を形成する。

【0037】このように、本実施の形態によれば、①ボトムゲート電極1、ゲートバスライン2のパターンニング工程、②ドレイン電極3、ドレインバスライン4、ソース電極5のパターンニング工程、③アイランド6のパターンニング工程、④コンタクトホール7の形成工程、⑤画素電極8、トップゲート電極9のパターンニング工程、の5回のフォトリソグロフィー工程で薄膜トランジスタを製造することが可能になる。したがって、従来例1の場合に比べて、フォトリソグロフィー工程の回数が減り、フォトマスク等の間接部材の使用量、露光装置等の装置使用工数の低減、歩留まりの向上等の結果、製造コストを低減することができる。

【0038】また、本実施の形態の薄膜トランジスタの構造は、従来例1の構造と異なり、ゲートバスライン2と画素電極8が絶縁膜103を介して形成されているため、ゲートバスライン2と画素電極8をオーバーラップさせることができ、高開口率化を図ることができる。

【0039】そして、順スタガー構造であるから、アイランド6となる半導体膜104を数百Åまで薄くすることができる（本実施の形態では500Å）ため、トップゲート電極9の段差が従来より小さくなり、トップゲート電極9の段切れが発生する確率が低減する。また、ゲートバスライン2、ドレインバスライン4をパーティクル発生量の多いプラズマCVD工程の前に形成しているため、このパーティクルに起因するバスライン断線の発生も抑えられる。その結果、歩留まりの向上を図ること

ができる。本実施の形態の製造方法を用いて400枚の液晶パネルを実際に試作してみたところ、トップゲート電極の段切れの発生は全くなく、ゲートバスライン、ドレインバスラインの断線はそれぞれ2パネル、4パネルであり、従来の2~4%の不良発生率に比べて十分に低減できたことが確認された。

【0040】さらに、本実施の形態の構造では、トップゲート電極9も画素電極8と同一のITO等の透明導電膜106で形成されるためトランジスタが遮光されないものの、アイランド6の半導体膜104を薄くしたこと10の作用によって、トランジスタオフ時のリーク電流が抑えられ、光の影響を受けにくい安定したトランジスタ性能を発揮することができる。

【0041】なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。例えば薄膜トランジスタに用いる各膜の種類や膜厚、各工程の製造条件等に関しては、本実施の形態で示したものに限らず、適宜採用することが可能である。

【0042】

【発明の効果】以上、詳細に説明したように、本発明によれば、次のような効果が得られる。第1の効果は、トップゲート電極の断線を低減することができ、歩留まりが向上する。その理由は、順スタガー構造とすることにより、アイランドとなる半導体膜の膜厚を数百Å程度まで薄くすることができるためである。

【0043】第2の効果は、光によるトランジスタ性能への影響が低減できることである。この理由も第1の効果の場合と同様、順スタガー構造とすることにより、アイランドとなる半導体膜の膜厚を数百Å程度まで薄く30することができ、通常、半導体膜に光が照射された場合、ホールと電子が発生し、トランジスタオフ時のリーク電流の原因となる。しかしながら、半導体膜の膜厚が薄くなった場合、フロントチャネルとバックチャネルの距離が近づき、光により発生するホールおよび電子が、バックチャネル部の欠陥と再結合するため、消滅する。そのため、光によるトランジスタオフ時のリーク電流の増大が防止できる。

【0044】第3の効果は、ゲートバスラインおよびドレインバスライン断線率を低減することができ、歩留まりが向上する。その理由は、ゲートバスラインおよびドレインバスラインをパーティクル発生量の多いプラズマCVD工程の前に形成している。したがって、プラズマCVD工程でのパーティクルに起因するバスライン断線がなくなるためである。

【0045】本発明においてはこれらの効果を奏することができ、その結果、アクティブマトリクス型液晶表示装置における歩留まりの向上、特性の向上、製造コストの低減を実現することができる。

【図面の簡単な説明】

【図1】 本発明の一実施の形態のアクティブマトリクス型液晶表示装置の製造方法において、(a)第1の工程時の状態を示す平面図、(b)(a)のA-A'線に沿う断面図、(c)(a)のB-B'線に沿う断面図、である。

【図2】 同、(a)第2の工程時の状態を示す平面図、(b)(a)のA-A'線に沿う断面図、(c)(a)のB-B'線に沿う断面図、である。

【図3】 同、(a)第3の工程時の状態を示す平面図、(b)(a)のA-A'線に沿う断面図、(c)(a)のB-B'線に沿う断面図、である。

【図4】 同、(a)第4の工程時の状態を示す平面図、(b)(a)のA-A'線に沿う断面図、(c)(a)のB-B'線に沿う断面図、である。

【図5】 同、(a)第5の工程時の状態を示す平面図、(b)(a)のA-A'線に沿う断面図、(c)(a)のB-B'線に沿う断面図、である。

【図6】 第1の従来例のアクティブマトリクス型液晶表示装置の製造方法において、(a)第1の工程時の状態を示す平面図、(b)(a)のA-A'線に沿う断面図、(c)(a)のB-B'線に沿う断面図、である。

【図7】 同、(a)第2の工程時の状態を示す平面図、(b)(a)のA-A'線に沿う断面図、(c)(a)のB-B'線に沿う断面図、である。

【図8】 同、(a)第3の工程時の状態を示す平面図、(b)(a)のA-A'線に沿う断面図、(c)(a)のB-B'線に沿う断面図、である。

【図9】 同、(a)第4の工程時の状態を示す平面図、(b)(a)のA-A'線に沿う断面図、(c)(a)のB-B'線に沿う断面図、である。

【図10】 同、(a)第5の工程時の状態を示す平面図、(b)(a)のA-A'線に沿う断面図、(c)(a)のB-B'線に沿う断面図、である。

【図11】 同、(a)第6の工程時の状態を示す平面図、(b)(a)のA-A'線に沿う断面図、(c)(a)のB-B'線に沿う断面図、である。

【図12】 同、(a)第7の工程時の状態を示す平面図、(b)(a)のA-A'線に沿う断面図、(c)(a)のB-B'線に沿う断面図、である。

【図13】 第2の従来例のアクティブマトリクス型液晶表示装置の製造方法において、(a)第1の工程時の状態を示す平面図、(b)(a)のA-A'線に沿う断面図、(c)(a)のB-B'線に沿う断面図、である。

【図14】 同、(a)第2の工程時の状態を示す平面図、(b)(a)のA-A'線に沿う断面図、(c)(a)のB-B'線に沿う断面図、である。

【図15】 同、(a)第3の工程時の状態を示す平面図、(b)(a)のA-A'線に沿う断面図、(c)(a)のB-B'線に沿う断面図、である。

【図16】 同、(a)第4の工程時の状態を示す平面図、(b)(a)のA-A'線に沿う断面図、(c)(a)のB-B'線に沿う断面図、である。

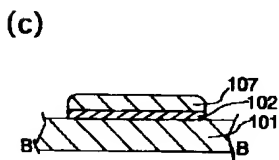
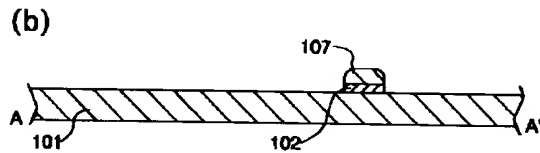
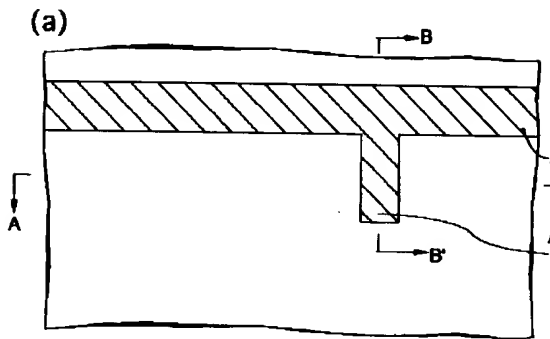
【図17】 同、(a)第5の工程時の状態を示す平面図、(b)(a)のA-A'線に沿う断面図、(c)(a)のB-B'線に沿う断面図、である。

【符号の説明】

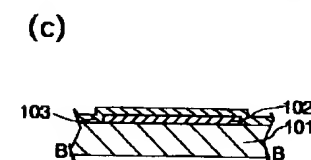
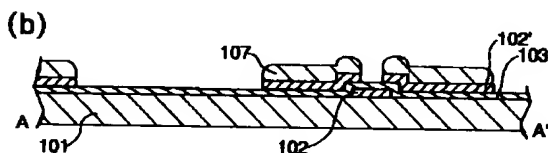
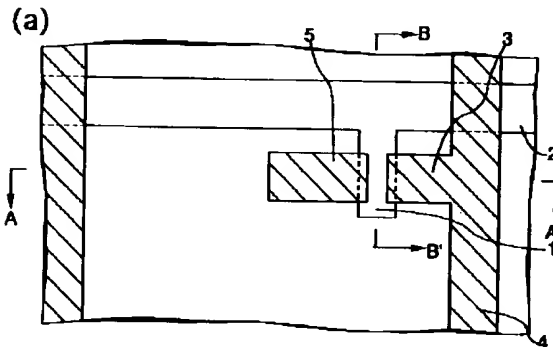
- 1 ボトムゲート電極
- 2 ゲートバスライン
- 3 ドレイン電極
- 4 ドレインバスライン
- 5 ソース電極
- 6 アイランド
- 7, 7' コンタクトホール
- 8 画素電極

- 9 トップゲート電極
- 10 コンタクト部
- 101 絶縁基板
- 102 金属膜(ボトムゲート用、導電膜)
- 102' 金属膜(ソース・ドレイン用、導電膜)
- 102'' 金属膜(トップゲート用、導電膜)
- 103 絶縁膜(ボトムゲート絶縁膜、第1の絶縁膜)
- 104 半導体膜
- 104' n型半導体膜
- 10 105 絶縁膜(1stトップゲート絶縁膜、第2の絶縁膜)
- 105' 絶縁膜(2ndトップゲート絶縁膜、第3の絶縁膜)
- 106 透明導電膜
- 107 フォトレジスト

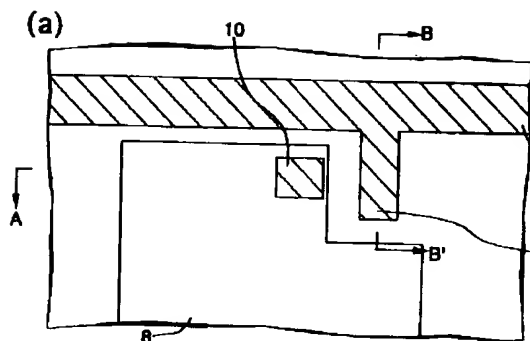
【図1】



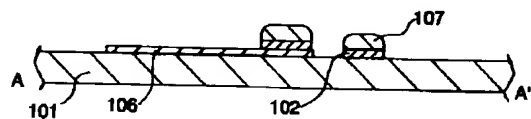
【図2】



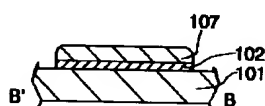
【図7】



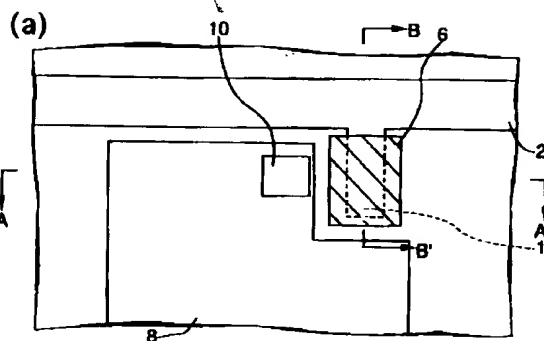
(b)



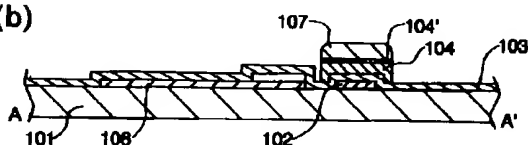
(c)



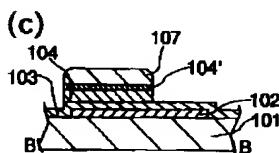
【図8】



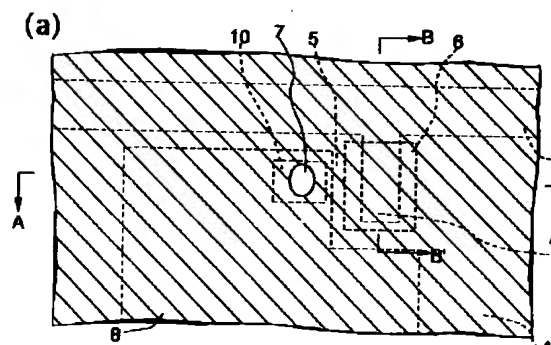
(b)



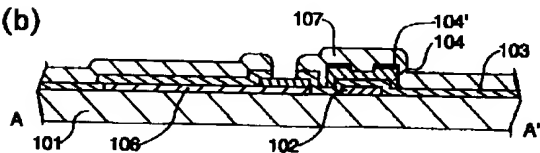
(c)



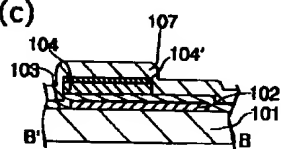
【図9】



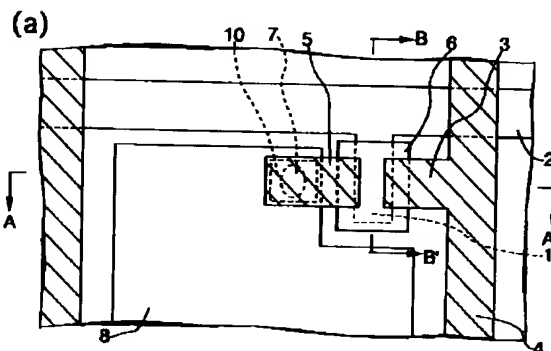
(b)



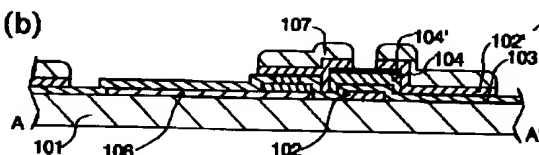
(c)



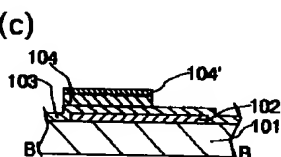
【図10】



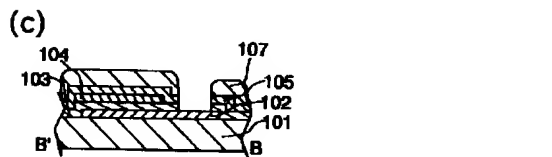
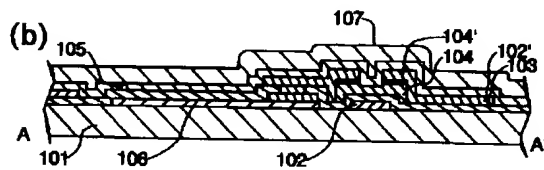
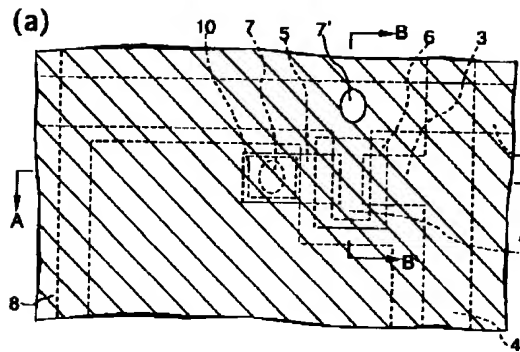
(b)



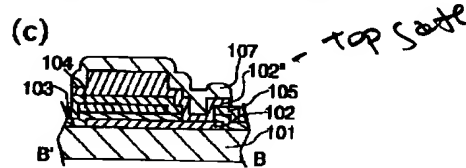
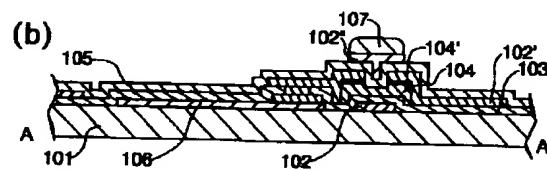
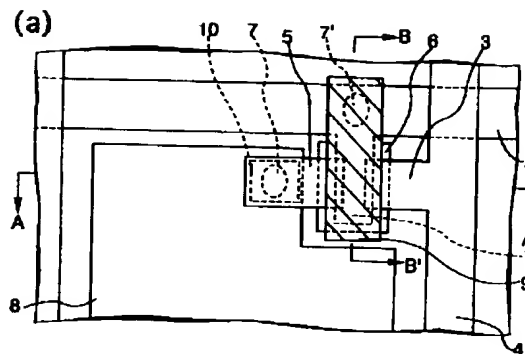
(c)



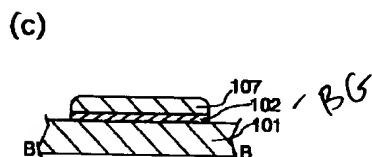
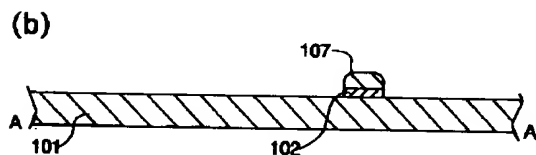
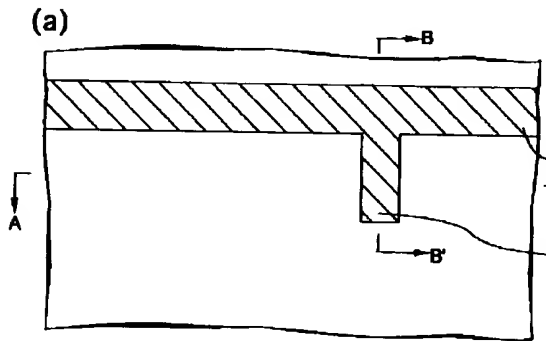
【図11】



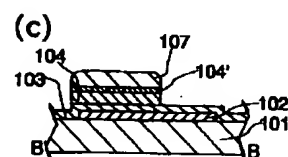
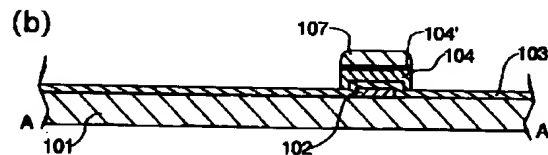
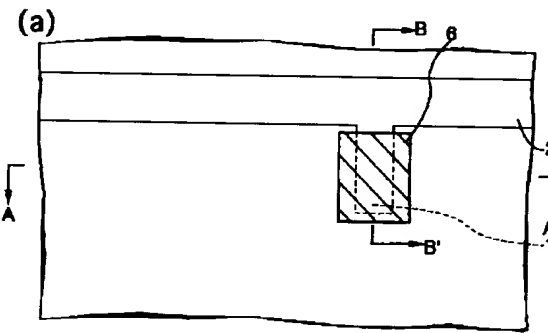
【図12】



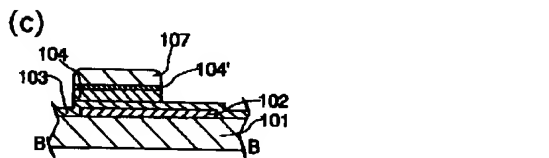
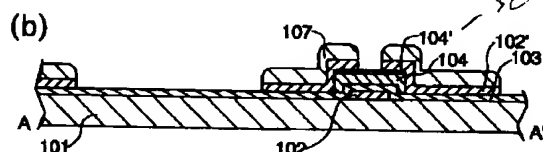
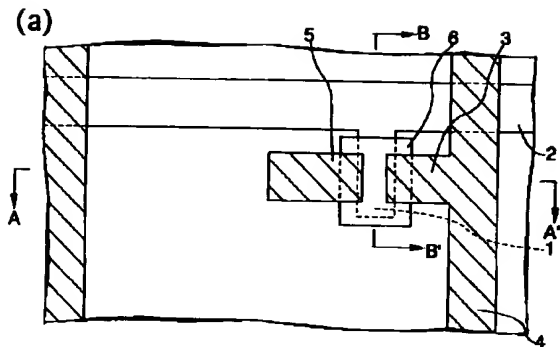
【図13】



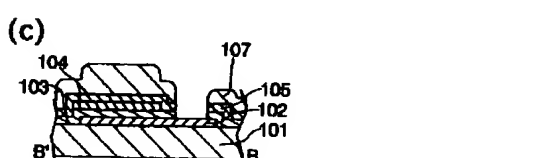
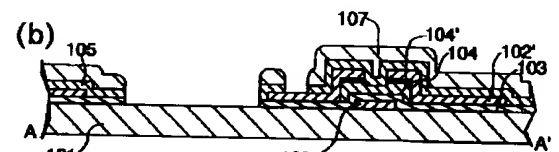
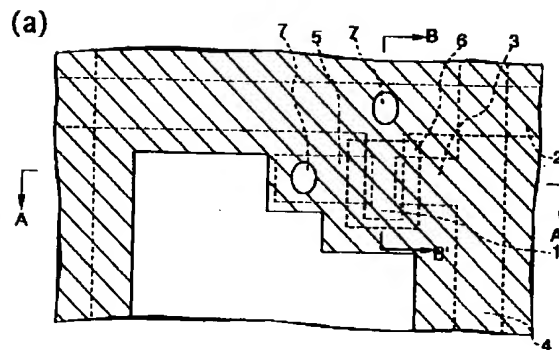
【図14】



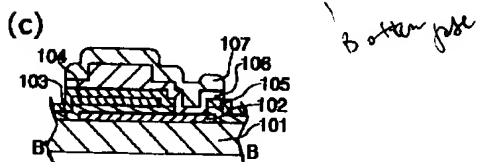
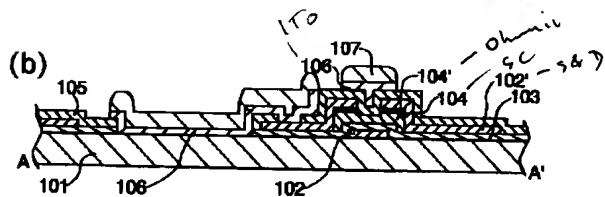
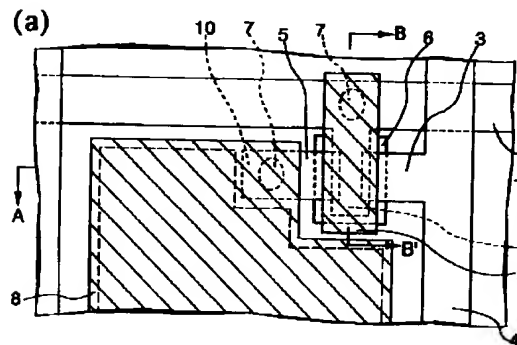
【図15】



【図16】



【図17】



CLIPPEDIMAGE= JP410290012A

PAT-NO: JP410290012A

DOCUMENT-IDENTIFIER: JP 10290012 A

TITLE: ACTIVE MATRIX LIQUID CRYSTAL DISPLAY UNIT AND ITS
MANUFACTURE

PUBN-DATE: October 27, 1998

INVENTOR-INFORMATION:

NAME

SAKURAI, HIROSHI

TANAKA, HIROAKI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP09096110

APPL-DATE: April 14, 1997

INT-CL (IPC): H01L029/786;G02F001/136 ;H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the optical effect on transistor performance and the disconnection of the top electrode and increase the yield.

SOLUTION: Firstly, a bottom gate electrode 1 and a gate bus line 2 are formed by forming and patterning a metallic film 102 on an insulating substrate 101. Next, after the formation of an insulating film, a drain electrode 3, a drain bus line 4 and a source electrode 5 are formed by forming and patterning another metallic film 102'. Later, an island 6 is formed by forming and patterning a semiconductor film 104 and an insulating film 105. Next, after the formation of the insulating films, a contact hole 7 for conducting bottom gate electrode and top gate electrode and a contact hole 7' for conducting source electrode and picture element are formed by patterning the insulating

film. Finally, a top gate electrode 9 and a picture element electrode 8 are formed by forming and patterning a transparent film 106.

COPYRIGHT: (C)1998,JPO